

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-326970
(43)Date of publication of application : 12.12.1995

(51)Int.Cl.

H03M 1/10
G01R 31/316
G01R 31/28
H03M 1/36

(21)Application number : 06-119383
(22)Date of filing : 31.05.1994

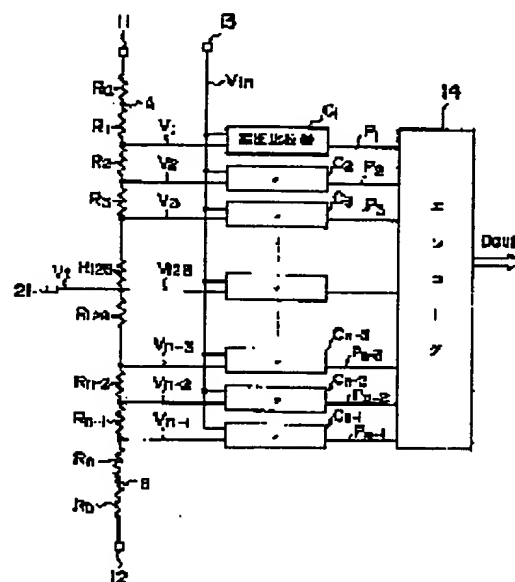
(71)Applicant : TOSHIBA CORP
(72)Inventor : MURAMATSU KUNIO

(54) A/D CONVERTER AND TESTING METHOD FOR THE CONVERTER

(57)Abstract:

PURPOSE: To accurately test an A/D converter without being affected by noise by an inexpensive tester.

CONSTITUTION: Resistors R1 to Rn connected in series are connected between a power source terminal 11 supplying high potential and a power source terminal 12 supplying low potential. The potential of each connecting point of the resistors R1 to Rn and an input signal Vin are inputted to voltage comparators C1 to Cn-1. An encoder 14 converts an analog signal into a digital based on the outputs of the voltage comparators C1 to Cn-1. A testing terminal 21 is connected to at least one of the respective connecting points of the resistors R1 to Rn. At the time of the test, a prescribed potential is impressed to the testing terminal 21.



LEGAL STATUS

[Date of request for examination] 26.11.1999

[Date of sending the examiner's decision of rejection] 03.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326970

(43) 公開日 平成7年(1995)12月12日

(51) Int. Cl.⁵

H 0 3 M 1/10

G 0 1 R 31/316

31/28

識別記号

C

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/ 28

C

V

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

13

(21) 出願番号

特願平6-119383

(22) 出願日

平成6年(1994)5月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 村松 邦雄

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

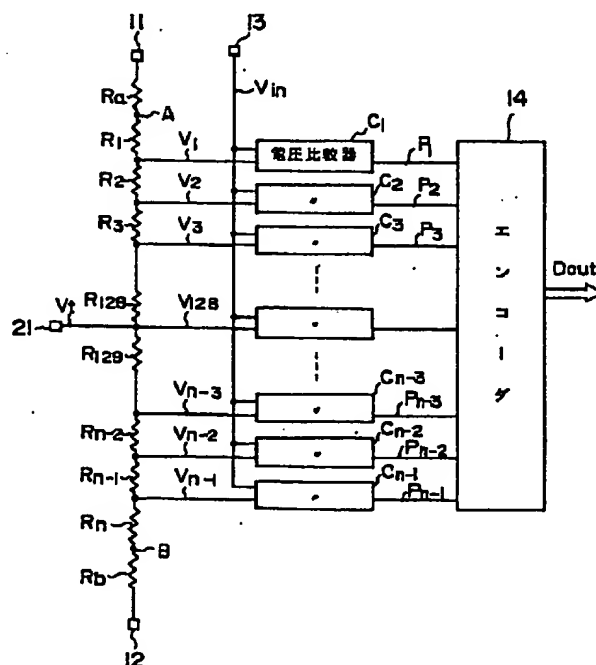
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 A/D変換器及びA/D変換器のテスト方法

(57) 【要約】

【目的】 安価なテストでノイズに影響されない正確なテストを行う。

【構成】 直列接続された抵抗 $R_1 \sim R_n$ は、高電位を供給する電源端子11と低電位を供給する電源端子12の間に接続される。抵抗 $R_1 \sim R_n$ の各接続点の電位及び入力信号 V_{in} は、電圧比較器 $C_1 \sim C_{n-1}$ に入力される。エンコーダ14は、電圧比較器 $C_1 \sim C_{n-1}$ の出力に基づいてアナログ信号をデジタル信号に変換する。抵抗 $R_1 \sim R_n$ の各接続点のうちの少なくとも1つには、テスト端子21が接続される。テスト時において、テスト端子21には所定の電位が印加される。



【特許請求の範囲】

【請求項1】 基準電圧を分圧する複数の抵抗と、前記複数の抵抗の各接続点における電位とアナログ信号の電位とを比較し、その比較結果を用いて前記アナログ信号をデジタル信号に変換する手段と、

テスト時において、テスト手段から与えられる電位を前記複数の抵抗の各接続点のうちの少なくとも1つに印加する手段とを具備することを特徴とするA/D変換器。

【請求項2】 基準電圧を分圧する複数の抵抗と、前記複数の抵抗の各接続点における電位とアナログ信号の電位とを比較し、その比較結果を用いて前記アナログ信号をデジタル信号に変換する手段と、

テスト時において、テスト手段から与えられる信号に基づいて前記複数の抵抗の一部を短絡させる手段とを具備することを特徴とするA/D変換器。

【請求項3】 前記複数の抵抗は、第1電位を供給する第1端子と第2電位を供給する第2端子との間に直列接続され、

前記手段は、前記第1端子と前記複数の抵抗の各接続点のうちの1つを短絡させるスイッチと、前記第2端子と前記複数の抵抗の各接続点のうちの1つを短絡させ得るスイッチとを有することを特徴とする請求項2に記載のA/D変換器。

【請求項4】 基準電圧を分圧する複数の抵抗の各接続点のうちの少なくとも1つにテスト端子を接続し、テスト時においては、テスト手段により発生した所定電位を前記テスト端子に与えながらテストを行い、通常動作時においては、前記テスト端子を解放した状態で動作を行うことを特徴とするA/D変換器のテスト方法。

【請求項5】 基準電圧を分圧する複数の抵抗の各接続点のうちの少なくとも1つを分断し、その分断された接続点における各端子にそれぞれテスト端子を接続し、テスト時においては、テスト手段により発生した所定電位を各テスト端子に与えながらテストを行い、通常動作時においては、分断された接続点における各テスト端子を互いに接続して動作を行うことを特徴とするA/D変換器のテスト方法。

【請求項6】 基準電圧を分圧する複数の抵抗の一部をテスト手段から与えられる信号により短絡させる手段を設け、

テスト時においては、前記手段により前記複数の抵抗の一部を短絡させた状態でテストを行い、通常動作時においては、前記複数の抵抗の一部の短絡を解除して動作を行うことを特徴とするA/D変換器のテスト方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、A/D変換器に関し、特にA/D変換器のテスト時に使用されるものである。

【0002】

【従来の技術】 図9は、従来のA/D変換器を示している。A/D変換器は、アナログ信号をデジタル信号に変換する装置である。

【0003】 図9のA/D変換器の構成について述べる。このA/D変換器は、IC内に形成されている。電源端子11には、ICの外部から高レベルの基準電位（例えば5V）が印加され、電源端子12には、ICの外部から低レベルの基準電位（例えば0V）が印加される。

【0004】 電源端子11と電源端子12の間には、抵抗Ra、Rbと、n個の抵抗R1～Rnがそれぞれ直列に接続されている。抵抗Ra、Rbは、直列接続された抵抗の両端に配置され、入力信号（アナログ信号）のレベルを検出できる範囲の上限と下限を決めている。

【0005】 従って、入力信号の検出範囲を最大限に確保したい場合には、抵抗Ra、Rbは不要であると共に、入力信号の種類に応じて抵抗Ra、Rbの抵抗値を調節し入力信号の検出範囲を決めることができる。

【0006】 n個の抵抗R1～Rnは、A/D変換器の階調数を決めるためのものである。例えば、8ビットA/D変換器では、256個の抵抗R1～R256が必要となる。このn個の抵抗R1～Rnは、ノード（抵抗RaとR1の接続点）Aとノード（抵抗RnとRbの接続点）Bの間に印加される電圧を分圧する。

【0007】 各抵抗の接続点の電位V1～Vn-1は、それぞれ所定の電圧比較器C1～Cn-1に入力される。また、入力信号Vinは、ICの外部から入力端子13を介して電圧比較器C1～Cn-1に入力される。従って、各々の電圧比較器C1～Cn-1では、ある一つの接続点の電位と入力信号Vinの電位が比較されることになる。

【0008】 その結果、各電圧比較器C1～Cn-1は、入力信号Vinの電位が所定の接続点の電位よりも大きければ、高レベル（又は低レベル）の信号P1～Pn-1を出力し、逆に、入力信号Vinの電位が所定の接続点の電位よりも小さければ、低レベル（又は高レベル）の信号P1～Pn-1を出力する。

【0009】 各電圧比較器C1～Cn-1の出力信号P1～Pn-1は、エンコーダ14に入力される。エンコーダ14は、信号P1～Pn-1をデジタルコードに変換し、m（例えば8）ビットのデジタル信号Doutを出力する。

【0010】

【発明が解決しようとする課題】 上記A/D変換器において、入力信号のレベルを検出しデジタル信号に変換できる有効範囲は、ノードAの電位（Vtop）とノードBの電位（Vbottom）の間に決定される。

【0011】 そして、この有効範囲は、抵抗Ra、Rbがなく、ICに与えることができる最大の電位（通常は

電源電位 V_{cc})を電源端子11に与え、接地電位を電源端子12に与えたとき、最大となる。

【0012】従って、 m ビットのA/D変換器では、1階調の電位差が最大でも、電源電位 V_{cc} の $2^m (=n)$ 分の1倍となる。このため、A/D変換器の特性を測定する場合、特に m が大きな多ビットのA/D変換器においては、極めて小さい1階調の電位差以下の精度をもった電圧源で、A/D変換器に電圧を与え、測定しなければならない。

【0013】そこで、従来は、電圧源の精度の優れた非常に高価なアナログ専用テストを用いている。しかし、入力信号に1階調の電位差より大きなノイズが含まれていると、正確なテストが行われないう欠点がある。本発明は、上記欠点を解決すべくされたもので、その目的は、入力信号にノイズが発生し易い環境においても、また、電圧源の精度がそれほどよくない安価なアナログ専用テストで用いても、正確にA/D変換器をテストし得ることである。

【0014】

【課題を解決するための手段】

(a) 上記目的を達成するため、本発明のA/D変換器は、基準電圧を分圧する複数の抵抗と、前記複数の抵抗の各接続点における電位とアナログ信号の電位とを比較し、その比較結果を用いて前記アナログ信号をデジタル信号に変換する手段と、テスト時において、テスト手段から与えられる電位を前記複数の抵抗の各接続点のうちの少なくとも1つに印加する手段とを備えている。

【0015】(b) 本発明のA/D変換器は、基準電圧を分圧する複数の抵抗と、前記複数の抵抗の各接続点における電位とアナログ信号の電位とを比較し、その比較結果を用いて前記アナログ信号をデジタル信号に変換する手段と、テスト時において、テスト手段から与えられる信号に基づいて前記複数の抵抗の一部を短絡させる手段とを備えている。

【0016】前記複数の抵抗は、第1電位を供給する第1端子と第2電位を供給する第2端子との間に直列接続され、前記手段は、前記第1端子と前記複数の抵抗の各接続点のうちの1つを短絡させるスイッチと、前記第2端子と前記複数の抵抗の各接続点のうちの1つを短絡させるスイッチとを有する。

【0017】(c) 本発明のA/D変換器のテスト方法は、基準電圧を分圧する複数の抵抗の各接続点のうちの少なくとも1つにテスト端子を接続し、テスト時には、テスト手段により発生した所定電位を前記テスト端子に与えながらテストを行い、通常動作時には、前記テスト端子を解放した状態で動作を行うという工程からなるものである。

【0018】(d) 本発明のA/D変換器のテスト方法は、基準電圧を分圧する複数の抵抗の各接続点のうちの少なくとも1つを分断し、その分断した接続点にお

る各端部にそれぞれテスト端子を接続し、テスト時には、テスト手段により発生した所定電位を各テスト端子に与えながらテストを行い、通常動作時には、分断した接続点における各テスト端子を互いに接続して動作を行うという工程からなるものである。

【0019】(e) 本発明のA/D変換器のテスト方法は、基準電圧を分圧する複数の抵抗の一部をテスト手段から与えられる信号により短絡させる手段を設け、テスト時には、前記手段により前記複数の抵抗の一部を短絡させた状態でテストを行い、通常動作時には、前記複数の抵抗の一部の短絡を解除して動作を行うという工程からなるものである。

【0020】

【作用】上記(a)の構成を有するA/D変換器によれば、テスト手段から与えられる電位を前記複数の抵抗の各接続点のうちの少なくとも1つに印加する手段を有しているため、製品の出荷テスト時には、当該テスト手段から所定の接続点に所定電位を印加することができる。また、上記(b)の構成を有するA/D変換器によれば、テスト手段から与えられる信号に基づいて複数の抵抗の一部を短絡させる手段を有しているため、製品の出荷テスト時には、複数の抵抗の一部を短絡してテストを行える。

【0021】これにより、入力信号にノイズが発生し易い環境においても、また、電圧源の精度がそれほどよくない安価なアナログ専用テストで用いても、正確にA/D変換器をテストし得ることができる。

【0022】上記(c)のA/D変換器のテスト方法によれば、テスト時には、テスト手段により発生した所定電位をテスト端子に与えながらテストを行い、通常動作時には、テスト端子を解放した状態で動作を行っている。また、上記(d)のA/D変換器のテスト方法によれば、テスト時には、テスト手段により発生した所定電位を各テスト端子に与えながらテストを行い、通常動作時には、分断した接続点における各テスト端子を互いに接続して動作を行っている。

【0023】また、上記(e)のA/D変換器のテスト方法によれば、テスト時には、複数の抵抗の一部を短絡させた状態でテストを行い、通常動作時には、複数の抵抗の一部の短絡を解除して動作を行っている。

【0024】よって、これらの方法では、出荷テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができ、テスト手段は、低い精度で入力信号を与えれば足りる。

【0025】

【実施例】以下、図面を参照しながら、本発明のA/D変換器及びそのテスト方法について詳細に説明する。

【A】 図1は、本発明の第1の実施例に係わるA/D変換器を示している。まず、図1のA/D変換器の構成

について述べる。このA/D変換器は、IC内に形成されている。電源端子11には、ICの外部から高レベルの基準電位（例えば5V）が印加され、電源端子12には、ICの外部から低レベルの基準電位（例えば0V）が印加される。

【0026】電源端子11と電源端子12の間には、抵抗 R_a 、 R_b と、 n 個の抵抗 $R_1 \sim R_n$ がそれぞれ直列に接続されている。抵抗 R_a 、 R_b は、直列接続された抵抗の両端に配置され、入力信号（アナログ信号）のレベルを検出できる範囲の上限と下限を決めている。

【0027】従って、入力信号の検出範囲を最大限に確保したい場合には、抵抗 R_a 、 R_b は不要であると共に、入力信号の種類に応じて抵抗 R_a 、 R_b の抵抗値を調節し入力信号の検出範囲を決めることができる。

【0028】 n 個の抵抗 $R_1 \sim R_n$ は、A/D変換器の階調数を定めるためのものである。例えば、8ビットA/D変換器では、256個の抵抗 $R_1 \sim R_{256}$ が必要となる。この n 個の抵抗 $R_1 \sim R_n$ は、ノード（抵抗 R_a と R_1 の接続点）Aとノード（抵抗 R_n と R_b の接続点）Bの間に印加される電圧を分圧する。

【0029】また、各抵抗の $n-1$ 個の接続点のうち少なくとも1個は、所定電位が印加されるテスト端子21に接続されている。例えば、直列接続された n 個の抵抗 $R_1 \sim R_n$ の中間点（例えば、 n が256の場合、抵抗 R_{128} と R_{129} の接続点）がテスト端子21に接続されている。このテスト端子21には、当該A/D変換器のテスト時に、ICの外部から所定電位（例えば電源電位、接地電位） V_t が印加される。

【0030】各抵抗の $n-1$ 個の接続点の電位 $V_1 \sim V_{n-1}$ は、それぞれ $n-1$ 個の電圧比較器 $C_1 \sim C_{n-1}$ のうちの所定の一つに入力される。また、入力信号 V_{in} は、ICの外部から入力端子13を介して電圧比較器 $C_1 \sim C_{n-1}$ に入力される。従って、各々の電圧比較器 $C_1 \sim C_{n-1}$ では、ある一つの接続点の電位と入力信号 V_{in} の電位が比較されることになる。

【0031】その結果、各電圧比較器 $C_1 \sim C_{n-1}$ は、入力信号 V_{in} の電位が所定の接続点の電位よりも大きければ、高レベル（又は低レベル）の信号 $P_1 \sim P_{n-1}$ を出力し、逆に、入力信号 V_{in} の電位が所定の接続点の電位よりも小さければ、低レベル（又は高レベル）の信号 $P_1 \sim P_{n-1}$ を出力する。

【0032】各電圧比較器 $C_1 \sim C_{n-1}$ の出力信号 $P_1 \sim P_{n-1}$ は、エンコーダ14に入力される。エンコーダ14は、信号 $P_1 \sim P_{n-1}$ をデジタルコードに変換し、 m （例えば8）ビットのデジタル信号 D_{out} を出力する。次に、上記A/D変換器のテスト方法について説明する。まず、後に述べる説明をわかり易くするため、A/D変換器の特性を以下のように仮定する。即ち、抵抗 R_a 、 R_b の抵抗値をそれぞれ1280オーム、 $n=256$ 、抵抗 $R_1 \sim R_n$ の抵抗値をそれぞれ1

0オーム、電源端子11に印加される電位を5V、電源端子12に印加される電位を0Vとし、テスト端子21は、抵抗 R_{128} と抵抗 R_{129} の接続点に接続されるものとする。

【0033】（a） 図2は、テスト時の概念を示すものである。テスト15は、A/D変換器が形成されたIC16の入力端子13に入力信号 V_{in} を与えると共にテスト端子21にテスト電位 V_t を与え、そして、テスト15は、IC16から出力された出力信号 D_{out} を確認してA/D変換器の良否を決定する。

【0034】まず、テスト端子21にテスト電位 V_t として5Vを与える。すると、抵抗 R_1 から抵抗 R_{128} 間の各接続点の電位 $V_1 \sim V_{127}$ は、全て5Vとなる。一方、電源端子12の電位は、0Vであるから、ノードB（抵抗 R_{256} と抵抗 R_b の接続点）の電位 V_{bottom} は、 $5V \times \{1280 / (1280 + 10 \times 128)\}$ により、2.5Vに決まる。

【0035】従って、抵抗 $R_{129} \sim R_{256}$ の各接続点間の1階調の電位差は、 $(5 - 2.5) / 128$ により、約20mVとなる。そこで、この状態においてテスト15によりA/D変換器の抵抗 $R_{129} \sim R_{256}$ 側のテストを行う。

【0036】次に、テスト端子21にテスト電位 V_t として0Vを与える。すると、抵抗 R_{129} から抵抗 R_{256} 間の各接続点の電位 $V_{129} \sim V_{255}$ は、全て0Vとなる。一方、電源端子11の電位は、5Vであるから、ノードA（抵抗 R_a と抵抗 R_1 の接続点）の電位 V_{top} は、 $5V \times \{(10 \times 128) / (1280 + 10 \times 128)\}$ により、2.5Vに決まる。

【0037】従って、抵抗 $R_1 \sim R_{128}$ の各接続点間の1階調の電位差は、 $(5 - 2.5) / 128$ により、約20mVとなる。そこで、この状態においてテスト15によりA/D変換器の抵抗 $R_1 \sim R_{128}$ 側のテストを行う。

【0038】なお、テスト端子21に0Vを与えて抵抗 $R_1 \sim R_{128}$ 側のテストを行った後に、テスト端子21に5Vを与えて抵抗 $R_{129} \sim R_{256}$ 側のテストを行ってもよい。

【0039】（b） A/D変換器のテストを終えた後の通常動作時においては、テスト端子21は、直流（DC）的に解放されている。従って、入力信号 V_{in} のレベルを検出しデジタル信号に変換し得る有効範囲は、 $V_{top} = 5V \times 0.75 = 3.75$ から $V_{bottom} = 5V \times 0.25 = 1.25$ の範囲に決定される。

【0040】この場合、1階調の電位差は、 $(3.75 - 1.25) / 256$ により、約10mVとなる。上述のように、本発明のA/D変換器のテスト方法によれば、テスト端子21にテストから所定電位を印加することにより、テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることがで

きる。

【0041】従って、仮に、通常動作時と同じ条件で、1階調ごとにA/D変換器のテストを行う場合には、テストは、10mV以下の精度で入力信号V_{in}を与えなければならないのに対し、本発明のテスト方法で、1階調ごとにA/D変換器のテストを行う場合には、テストは、20mV以下の精度で入力信号V_{in}を与えれば足りる。つまり、本発明のテスト方法によれば、テストは、従来の半分の精度を有していればよい。

【0042】なお、本実施例では、テスト端子の数は、1つに設定して説明したが、複数個設けることによって、さらに低い精度の低価格のテストでテストできると共に、ノイズに対しても強くなる。この場合、テスト端子は、ノードAとノードBの間を均等に分割するようにして設けるのが効果的である。また、極限的には、各接続点にテスト端子を設けられることも可能である。

【B】 図3は、本発明の第2の実施例に係わるA/D変換器を示している。まず、図2のA/D変換器の構成について述べる。このA/D変換器は、IC内に形成されている。電源端子11には、ICの外部から高レベルの基準電位（例えば5V）が印加され、電源端子12には、ICの外部から低レベルの基準電位（例えば0V）が印加される。

【0043】電源端子11とテスト端子21aの間には、抵抗R_aと、(n/2)個の抵抗R₁~R_(n/2)がそれぞれ直列に接続されている。また、テスト端子21bと電源端子12との間には、(n/2)個の抵抗R_{((n/2)+1)}~R_nと、抵抗R_bがそれぞれ直列に接続されている。

【0044】例えばn=256の場合、抵抗R₁₂₈とR₁₂₉は互いに接続されていないことになるが、A/D変換器のテストを終えた後には、ICの外部においてテスト端子21aと21bが接続される。これにより、A/D変換器の通常動作が可能になる。

【0045】なお、抵抗R_a、R_bは、直列接続された抵抗の両端に配置され、入力信号（アナログ信号）のレベルを検出できる範囲の上限と下限を決めている。従って、入力信号の検出範囲を最大限に確保したい場合には、抵抗R_a、R_bは不要であると共に、入力信号の種類に応じて抵抗R_a、R_bの抵抗値を調節し入力信号の検出範囲を決めることができる。

【0046】n個の抵抗R₁~R_nは、A/D変換器の階調数を決めるためのものである。例えば、8ビットA/D変換器では、256個の抵抗R₁~R₂₅₆が必要となる。このn個の抵抗R₁~R_nは、ノード（抵抗R_aとR₁の接続点）Aとノード（抵抗R_nとR_bの接続点）Bの間に印加される電圧を分圧する。

【0047】A/D変換器のテスト時において、テスト端子21aには、ICの外部から所定電位（例えば接地電位）V_{t1}が印加され、テスト端子21bには、IC

の外部から所定電位（例えば電源電位）V_{t2}が印加される。

【0048】各抵抗のn-1個の接続点の電位V₁~V_{n-1}は、それぞれn-1個の電圧比較器C₁~C_{n-1}のうちの所定の一つに入力される。また、入力信号V_{in}は、ICの外部から入力端子13を介して電圧比較器C₁~C_{n-1}に入力される。従って、各々の電圧比較器C₁~C_{n-1}では、ある一つの接続点の電位と入力信号V_{in}の電位が比較されることになる。

【0049】その結果、各電圧比較器C₁~C_{n-1}は、入力信号V_{in}の電位が所定の接続点の電位よりも大きければ、高レベル（又は低レベル）の信号P₁~P_{n-1}を出力し、逆に、入力信号V_{in}の電位が所定の接続点の電位よりも小さければ、低レベル（又は高レベル）の信号P₁~P_{n-1}を出力する。

【0050】各電圧比較器C₁~C_{n-1}の出力信号P₁~P_{n-1}は、エンコーダ14に入力される。エンコーダ14は、信号P₁~P_{n-1}をデジタルコードに変換し、m（例えば8）ビットのデジタル信号D_{out}を出力する。次に、上記A/D変換器のテスト方法について説明する。まず、後に述べる説明をわかり易くするため、A/D変換器の特性を以下のように仮定する。即ち、抵抗R_a、R_bの抵抗値をそれぞれ1280オーム、n=256、抵抗R₁~R_nの抵抗値をそれぞれ10オーム、電源端子11に印加される電位を5V、電源端子12に印加される電位を0Vとする。

【0051】(a) 図4は、テスト時の概念を示すものである。テスト15は、A/D変換器が形成されたIC16の入力端子13に入力信号V_{in}を与えと共に、テスト端子21aにテスト電位V_{t1}、テスト端子21bにテスト電位V_{t2}を与える。そして、テスト15は、IC16から出力された出力信号D_{out}を確認してA/D変換器の良否を決定する。

【0052】まず、テスト端子21bにテスト電位V_{t2}として5Vを与える。すると、抵抗R₁から抵抗R₁₂₈間の各接続点の電位V₁~V₁₂₇は、全て5Vとなる。一方、電源端子12の電位は、0Vであるから、ノードB（抵抗R₂₅₆と抵抗R_bの接続点）の電位V_{bottom}は、 $5V \times \{1280 / (1280 + 10 \times 128)\}$ により、2.5Vに決まる。

【0053】従って、抵抗R₁₂₉~R₂₅₆の各接続点間の1階調の電位差は、 $(5 - 2.5) / 128$ により、約20mVとなる。そこで、この状態においてテスト15によりA/D変換器の抵抗R₁₂₉~R₂₅₆側のテストを行う。

【0054】次に、テスト端子21aにテスト電位V_{t1}として0Vを与える。すると、抵抗R₁₂₉から抵抗R₂₅₆間の各接続点の電位V₁₂₉~V₂₅₅は、全て0Vとなる。一方、電源端子11の電位は、5Vであるから、ノードA（抵抗R_aと抵抗R₁の接続点）の電

位 V_{top} は、 $5V \times \{(10 \times 128) / (1280 + 10 \times 128)\}$ により、 $2.5V$ に決まる。

【0055】従って、抵抗 $R1 \sim R128$ の各接続点間の1階調の電位差は、 $(5 - 2.5) / 128$ により、約 $20mV$ となる。そこで、この状態においてテスト15によりA/D変換器の抵抗 $R1 \sim R128$ 側のテストを行う。

【0056】なお、テスト端子21aに0Vを与えて抵抗 $R1 \sim R128$ 側のテストを行った後に、テスト端子21bに5Vを与えて抵抗 $R129 \sim R256$ 側のテストを行ってもよい。また、テスト端子21aに0V、テスト端子21bに5Vを同時に与えてA/D変換器のテストを行ってもよい。

【0057】但し、この場合には、エンコーダ14は、電圧比較器 $C1 \sim C128$ の出力信号 $P1 \sim P128$ をデジタル信号に変換する部分と、電圧比較器 $C129 \sim C255$ の出力信号 $P129 \sim P255$ をデジタル信号に変換する部分とを有し、さらにそれぞれの部分に対応して2つのデジタル出力が得られるように構成されているのが好ましい。即ち、エンコーダ14は、2つの7ビットエンコーダ部を有し、テスト時には、それぞれの7ビットエンコーダ部が動作するように構成する。

【0058】(b) A/D変換器のテストを終えた後の通常動作時には、テスト端子21aと21bは、互いに電気的に接続される。従って、入力信号 V_{in} のレベルを検出しデジタル信号に変換し得る有効範囲は、 $V_{top} = 5V \times 0.75 = 3.75$ から $V_{bottom} = 5V \times 0.25 = 1.25$ の範囲に決定される。

【0059】この場合、1階調の電位差は、 $(3.75 - 1.25) / 256$ により、約 $10mV$ となる。上述のように、本発明のA/D変換器のテスト方法によれば、テスト端子21a、21bにテストから所定電位を印加することにより、テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができる。

【0060】従って、仮に、通常動作時と同じ条件で、1階調ごとにA/D変換器のテストを行う場合には、テストは、 $10mV$ 以下の精度で入力信号 V_{in} を与えなければならないのに対し、本発明のテスト方法で、1階調ごとにA/D変換器のテストを行う場合には、テストは、 $20mV$ 以下の精度で入力信号 V_{in} を与えれば足りる。つまり、本発明のテスト方法によれば、テストは、従来の半分の精度を有していればよい。

【0061】なお、本実施例では、テスト端子21aと21bは、ICの外部において接続したが、ICの内部において抵抗 $R128$ と抵抗 $R129$ の間に、スイッチ素子を設け、テスト時には、このスイッチを開き、通常動作時には、このスイッチを閉じるように制御してもよい。

【C】 図5は、本発明の第3の実施例に係わるA/D変換器を示している。まず、図5のA/D変換器の構成について述べる。このA/D変換器は、IC内に形成されている。電源端子11には、ICの外部から高レベルの基準電位（例えば5V）が印加され、電源端子12には、ICの外部から低レベルの基準電位（例えば0V）が印加される。

【0062】電源端子11と電源端子12の間には、抵抗 R_a 、 R_b と、 n 個の抵抗 $R1 \sim R_n$ がそれぞれ直列に接続されている。抵抗 R_a 、 R_b は、直列接続された抵抗の両端に配置され、入力信号（アナログ信号）のレベルを検出できる範囲の上限と下限を決めている。

【0063】従って、入力信号の検出範囲を最大限に確保したい場合には、抵抗 R_a 、 R_b は不要であると共に、入力信号の種類に応じて抵抗 R_a 、 R_b の抵抗値を調節し入力信号の検出範囲を決めることができる。

【0064】 n 個の抵抗 $R1 \sim R_n$ は、A/D変換器の階調数を決めるためのものである。例えば、8ビットA/D変換器では、256個の抵抗 $R1 \sim R256$ が必要となる。この n 個の抵抗 $R1 \sim R_n$ は、ノード（抵抗 R_a と $R1$ の接続点）Aとノード（抵抗 R_n と R_b の接続点）Bの間に印加される電圧を分圧する。

【0065】また、各抵抗の $n-1$ 個の接続点のうちの1個（例えば抵抗 $R128$ と $R129$ の接続点）と電源端子11、12との間には、それぞれスイッチ22a、22bが接続されている。これらのスイッチ22a、22bは、制御回路23によって制御される。制御回路23は、ICの外部（テスト）からテスト端子24を介して入力される信号に基づいて、スイッチ22a、22bのオン・オフを独立に制御する。

【0066】各抵抗の $n-1$ 個の接続点の電位 $V1 \sim V_{n-1}$ は、それぞれ $n-1$ 個の電圧比較器 $C1 \sim C_{n-1}$ のうちの所定の一つに入力される。また、入力信号 V_{in} は、ICの外部から入力端子13を介して電圧比較器 $C1 \sim C_{n-1}$ に入力される。従って、各々の電圧比較器 $C1 \sim C_{n-1}$ では、ある一つの接続点の電位と入力信号 V_{in} の電位が比較されることになる。

【0067】その結果、各電圧比較器 $C1 \sim C_{n-1}$ は、入力信号 V_{in} の電位が所定の接続点の電位よりも大きければ、高レベル（又は低レベル）の信号 $P1 \sim P_{n-1}$ を出力し、逆に、入力信号 V_{in} の電位が所定の接続点の電位よりも小さければ、低レベル（又は高レベル）の信号 $P1 \sim P_{n-1}$ を出力する。

【0068】各電圧比較器 $C1 \sim C_{n-1}$ の出力信号 $P1 \sim P_{n-1}$ は、エンコーダ14に入力される。エンコーダ14は、信号 $P1 \sim P_{n-1}$ をデジタルコードに変換し、 m （例えば8）ビットのデジタル信号 D_{out} を出力する。次に、上記A/D変換器のテスト方法について説明する。まず、後に述べる説明をわかり易くするため、A/D変換器の特性を以下のように仮定する。即

ち、抵抗 R_a 、 R_b の抵抗値をそれぞれ1280オーム、 $n=256$ 、抵抗 $R_1 \sim R_n$ の抵抗値をそれぞれ10オーム、電源端子11に印加される電位を5V、電源端子12に印加される電位を0Vとし、スイッチ22aは、電源端子11と、抵抗128と抵抗129の接続点との間に接続され、スイッチ22bは、抵抗128と抵抗129の接続点と、電源端子12との間に接続されるものとする。

【0069】(a) 図6は、テスト時の概念を示すものである。テスト15は、A/D変換器が形成されたIC16の入力端子13に入力信号 V_{in} を与えると共にテスト端子24にスイッチ22a、22bを独立に制御するための制御信号を与える。そして、テスト15は、IC16から出力された出力信号 D_{out} を確認してA/D変換器の良否を決定する。

【0070】まず、テスト15は、スイッチ22aをオンとし、スイッチ22bをオフとする信号をテスト端子24に与える。制御回路23は、当該信号に基づいてスイッチ22aをオンとし、スイッチ22bをオフとする。

【0071】すると、抵抗 R_1 から抵抗 R_{128} 間の各接続点の電位 $V_1 \sim V_{127}$ は、全て5Vとなる。一方、電源端子12の電位は、0Vであるから、ノードB（抵抗 R_{256} と抵抗 R_b の接続点）の電位 V_{bottom} は、 $5V \times \{1280 / (1280 + 10 \times 128)\}$ により、2.5Vに決まる。

【0072】従って、抵抗 $R_{129} \sim R_{256}$ の各接続点間の1階調の電位差は、 $(5 - 2.5) / 128$ により、約20mVとなる。

【0073】そこで、この状態においてテスト15によりA/D変換器の抵抗 $R_{129} \sim R_{256}$ 側のテストを行う。

【0074】次に、テスト15は、スイッチ22aをオフとし、スイッチ22bをオンとする信号をテスト端子24に与える。制御回路23は、当該信号に基づいてスイッチ22aをオフとし、スイッチ22bをオンとする。

【0075】すると、抵抗 R_{129} から抵抗 R_{256} 間の各接続点の電位 $V_{129} \sim V_{255}$ は、全て0Vとなる。一方、電源端子11の電位は、5Vであるから、ノードA（抵抗 R_a と抵抗 R_1 の接続点）の電位 V_{top} は、 $5V \times \{(10 \times 128) / (1280 + 10 \times 128)\}$ により、2.5Vに決まる。

【0076】従って、抵抗 $R_1 \sim R_{128}$ の各接続点間の1階調の電位差は、 $(5 - 2.5) / 128$ により、約20mVとなる。そこで、この状態においてテスト15によりA/D変換器の抵抗 $R_1 \sim R_{128}$ 側のテストを行う。

【0077】なお、最初に、スイッチ22aをオフ、スイッチ22bをオンにして抵抗 $R_1 \sim R_{128}$ 側のテ

ストを行った後に、スイッチ22aをオン、スイッチ22bをオフにして抵抗 $R_{129} \sim R_{256}$ 側のテストを行ってもよい。

【0078】(b) A/D変換器のテストを終えた後の通常動作時においては、制御回路23は、スイッチ22a、22bを共にオフとする制御信号をテスト端子24に与える。

【0079】従って、入力信号 V_{in} のレベルを検出しデジタル信号に変換し得る有効範囲は、 $V_{top} = 5V \times 0.75 = 3.75$ から $V_{bottom} = 5V \times 0.25 = 1.25$ の範囲に決定される。

【0080】この場合、1階調の電位差は、 $(3.75 - 1.25) / 256$ により、約10mVとなる。上述のように、本発明のA/D変換器のテスト方法によれば、スイッチ22a、22bのオン・オフを制御することにより、テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができ

【0081】従って、仮に、通常動作時と同じ条件で、1階調ごとにA/D変換器のテストを行う場合には、テストは、10mV以下の精度で入力信号 V_{in} を与えなければならないのに対し、本発明のテスト方法で、1階調ごとにA/D変換器のテストを行う場合には、テストは、20mV以下の精度で入力信号 V_{in} を与えれば足りる。つまり、本発明のテスト方法によれば、テストは、従来の半分の精度を有していればよい。

【0082】なお、本実施例では、スイッチの数は、2つに設定して説明したが、3つ以上設けることによって、さらに低い精度の低価格のテストでテストできると共に、ノイズに対しても強くなる。この場合、スイッチは、互いに直列に接続され、その端部は、電源端子11又は電源端子12に接続される。また、直列接続されたスイッチの各接続点は、抵抗 $R_1 \sim R_n$ の各接続点のうちの所定の一つの接続点に接続される。

【D】 図7は、本発明の第4の実施例に係わるA/D変換器を示している。この実施例は、本発明を直並列型のA/D変換器に適用したものである。まず、図7のA/D変換器の構成について述べる。このA/D変換器は、IC内に形成されている。電源端子11には、ICの外部から高レベルの基準電位（例えば5V）が印加され、電源端子12には、ICの外部から低レベルの基準電位（例えば0V）が印加される。

【0083】電源端子11と電源端子12の間には、抵抗 R_a 、 R_b と、 n 個の抵抗 $R_1 \sim R_n$ がそれぞれ直列に接続されている。抵抗 R_a 、 R_b は、直列接続された抵抗の両端に配置され、入力信号（アナログ信号）のレベルを検出できる範囲の上限と下限を決めている。

【0084】従って、入力信号の検出範囲を最大限に確保したい場合には、抵抗 R_a 、 R_b は不要であると共に、入力信号の種類に応じて抵抗 R_a 、 R_b の抵抗値を

調節し入力信号の検出範囲を決めることができる。

【0085】 n 個の抵抗 $R_1 \sim R_n$ は、A/D変換器の階調数を大まかに決めるためのものである。また、直列接続された k 個の抵抗 $R_1' \sim R_k'$ が、各抵抗 $R_1 \sim R_n$ に並列に接続されている。例えば、8ビットA/D変換器では、16個の抵抗 $R_1 \sim R_n$ ($n=16$)と、16個の抵抗 $R_1' \sim R_k'$ ($k=16$)が必要となる。これらの抵抗 $R_1 \sim R_n$, $R_1' \sim R_k'$ は、ノード(抵抗 R_a と R_1 の接続点)Aとノード(抵抗 R_n と R_b の接続点)Bの間に印加される電圧を分圧する。

【0086】また、各抵抗 $R_1 \sim R_n$ の $n-1$ 個の接続点のうち少なくとも1個は、所定電位が印加されるテスト端子21に接続されている。例えば、直列接続された n 個の抵抗 $R_1 \sim R_n$ の中間点(例えば、 n が16の場合、抵抗 R_7 と R_8 の接続点)がテスト端子21に接続されている。このテスト端子21には、当該A/D変換器のテスト時に、ICの外部から所定電位(例えば電源電位、接地電位) V_t が印加される。

【0087】各抵抗 $R_1 \sim R_n$ の $n-1$ 個の接続点の電位 $V_1 \sim V_{n-1}$ は、それぞれ $n-1$ 個の電圧比較器 $C_{11} \sim C_1$ ($n-1$)のうちの所定の一つに入力される。また、入力信号 V_{in} は、ICの外部から入力端子13を介して電圧比較器 $C_{11} \sim C_1$ ($n-1$)に入力される。従って、各々の電圧比較器 $C_{11} \sim C_1$ ($n-1$)では、ある一つの接続点の電位と入力信号 V_{in} の電位が比較されることになる。

【0088】その結果、各電圧比較器 $C_1 \sim C_1$ ($n-1$)は、入力信号 V_{in} の電位が所定の接続点の電位よりも大きければ、高レベル(又は低レベル)の信号 $P_1 \sim P_{n-1}$ を出力し、逆に、入力信号 V_{in} の電位が所定の接続点の電位よりも小さければ、低レベル(又は高レベル)の信号 $P_1 \sim P_{n-1}$ を出力する。

【0089】各電圧比較器 $C_{11} \sim C_1$ ($n-1$)の出力信号 $P_1 \sim P_{n-1}$ は、エンコーダ14aに入力される。エンコーダ14は、信号 $P_1 \sim P_{n-1}$ をデジタルコードに変換する。

【0090】同様に、各抵抗 $R_1' \sim R_k'$ の $k-1$ 個の接続点の電位 $V_1 \sim V_{k-1}$ は、それぞれ $k-1$ 個の電圧比較器 $C_{21} \sim C_2$ ($k-1$)のうちの所定の一つに入力される。また、入力信号 V_{in} は、ICの外部から入力端子13を介して電圧比較器 $C_{21} \sim C_2$ ($k-1$)に入力される。従って、各々の電圧比較器 $C_{21} \sim C_2$ ($k-1$)では、ある1つの接続点の電位と入力信号 V_{in} の電位が比較されることになる。

【0091】その結果、各電圧比較器 $C_{21} \sim C_2$ ($k-1$)は、入力信号 V_{in} の電位が所定の接続点の電位よりも大きければ、高レベル(又は低レベル)の信号 $P_1' \sim P_{k-1}'$ を出力し、逆に、入力信号 V_{in} の電位が所定の接続点の電位よりも小さければ、低レベル(又は高レベル)の信号 $P_1' \sim P_{k-1}'$ を出力す

る。

【0092】各電圧比較器 $C_{21} \sim C_2$ ($k-1$)の出力信号 $P_1' \sim P_{k-1}'$ は、エンコーダ14bに入力される。エンコーダ14bは、信号 $P_1' \sim P_{k-1}'$ をデジタルコードに変換する。本発明のA/D変換器によれば、テスト端子21にテストから所定電位を印加することにより、テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができる。なお、本実施例では、テスト端子の数は、1つに設定して説明したが、複数個設けることによって、さらに低い精度の低価格のテストでテストできると共に、ノイズに対しても強くなる。この場合、テスト端子は、ノードAとノードBの間を均等に分割するようにして設けるのが効果的である。また、極限的には、各接続点にテスト端子を設けれることも可能である。

【E】 図8は、本発明の第5の実施例に係るA/D変換器を示している。この実施例は、本発明を直並列型のA/D変換器に適用したものである。まず、図8のA/D変換器の構成について述べる。このA/D変換器は、IC内に形成されている。電源端子11には、ICの外部から高レベルの基準電位(例えば5V)が印加され、電源端子12には、ICの外部から低レベルの基準電位(例えば0V)が印加される。

【0093】電源端子11と電源端子12の間には、抵抗 R_a , R_b と、 n 個の抵抗 $R_1 \sim R_n$ がそれぞれ直列に接続されている。抵抗 R_a , R_b は、直列接続された抵抗の両端に配置され、入力信号(アナログ信号)のレベルを検出できる範囲の上限と下限を決めている。

【0094】従って、入力信号の検出範囲を最大限に確保したい場合には、抵抗 R_a , R_b は不要であると共に、入力信号の種類に応じて抵抗 R_a , R_b の抵抗値を調節し入力信号の検出範囲を決めることができる。

【0095】 n 個の抵抗 $R_1 \sim R_n$ は、A/D変換器の階調数を大まかに決めるためのものである。また、直列接続された1個の抵抗 $R_1' \sim R_k'$ が、各抵抗 $R_1 \sim R_n$ に並列に接続されている。例えば、8ビットA/D変換器では、16個の抵抗 $R_1 \sim R_n$ ($n=16$)と、16個の抵抗 $R_1' \sim R_k'$ ($k=16$)が必要となる。これらの抵抗 $R_1 \sim R_n$, $R_1' \sim R_k'$ は、ノード(抵抗 R_a と R_1 の接続点)Aとノード(抵抗 R_n と R_b の接続点)Bの間に印加される電圧を分圧する。

【0096】また、このA/D変換器は、各抵抗 R_a , R_b , $R_1 \sim R_n$ に並列に接続されるスイッチ22-a, 22-b, 22-1 \sim 22-nを有している。このスイッチ22-a, 22-b, 22-1 \sim 22-nは、制御回路23により独立にオン・オフが制御される。制御回路23は、ICの外部(テスト)からテスト端子24を介して入力されるテスト信号に基づいて、スイッチ22-a, 22-b, 22-1 \sim 22-nのオン・オフを独立に制御する。

【0097】各抵抗 $R_1 \sim R_n$ の $n-1$ 個の接続点の電位 $V_1 \sim V_{n-1}$ は、それぞれ $n-1$ 個の電圧比較器 $C_{11} \sim C_{1(n-1)}$ のうちの所定の一つに入力される。また、入力信号 V_{in} は、ICの外部から入力端子13を介して電圧比較器 $C_{11} \sim C_{1(n-1)}$ に入力される。従って、各々の電圧比較器 $C_{11} \sim C_{1(n-1)}$ では、ある一つの接続点の電位と入力信号 V_{in} の電位が比較されることになる。

【0098】その結果、各電圧比較器 $C_1 \sim C_{1(n-1)}$ は、入力信号 V_{in} の電位が所定の接続点の電位よりも大きければ、高レベル（又は低レベル）の信号 $P_1 \sim P_{n-1}$ を出力し、逆に、入力信号 V_{in} の電位が所定の接続点の電位よりも小さければ、低レベル（又は高レベル）の信号 $P_1 \sim P_{n-1}$ を出力する。

【0099】各電圧比較器 $C_{11} \sim C_{1(n-1)}$ の出力信号 $P_1 \sim P_{n-1}$ は、エンコーダ14aに入力される。エンコーダ14aは、信号 $P_1 \sim P_{n-1}$ をデジタルコードに変換する。

【0100】同様に、各抵抗 $R_1' \sim R_{k'}$ の $k-1$ 個の接続点の電位 $V_1' \sim V_{k-1}'$ は、それぞれ $k-1$ 個の電圧比較器 $C_{21} \sim C_{2(k-1)}$ のうちの所定の一つに入力される。また、入力信号 V_{in} は、ICの外部から入力端子13を介して電圧比較器 $C_{21} \sim C_{2(k-1)}$ に入力される。従って、各々の電圧比較器 $C_{21} \sim C_{2(k-1)}$ では、ある一つの接続点の電位と入力信号 V_{in} の電位が比較されることになる。

【0101】その結果、各電圧比較器 $C_{21} \sim C_{2(k-1)}$ は、入力信号 V_{in} の電位が所定の接続点の電位よりも大きければ、高レベル（又は低レベル）の信号 $P_1' \sim P_{k-1}'$ を出力し、逆に、入力信号 V_{in} の電位が所定の接続点の電位よりも小さければ、低レベル（又は高レベル）の信号 $P_1' \sim P_{k-1}'$ を出力する。

【0102】各電圧比較器 $C_{21} \sim C_{2(k-1)}$ の出力信号 $P_1' \sim P_{k-1}'$ は、エンコーダ14bに入力される。エンコーダ14bは、信号 $P_1' \sim P_{k-1}'$ をデジタルコードに変換する。本発明のA/D変換器によれば、スイッチ22-a, 22-b, 22-1~22-bのオン・オフを制御することにより、テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができる。なお、本実施例では、スイッチの数は、抵抗 $R_a, R_b, R_1 \sim R_n$ の数と同じだけ設けたが、2つ以上であれば、低い精度の低価格のテストでテストできると共にノイズに対して強くするという目的は達成できる。即ち、例えばスイッチは、第3の実施例（図5を参照）のように接続してもよい。

【0103】

【発明の効果】以上、説明したように、本発明のA/D変換器及びそのテスト方法によれば、次のような効果を

奏する。直列接続された抵抗の各接続点の少なくとも一つにテスト端子を設け、製品の出荷テスト時には、テストから当該テスト端子に所定電位を印加することにより、当該出荷テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができる。

【0104】また、直列接続された抵抗の各接続点の少なくとも一つと電源端子との間にスイッチを設け、製品の出荷テスト時には、テストからテスト端子に信号を与えて当該スイッチのオン・オフを制御することにより、当該出荷テスト時における1階調の電位差を、通常動作時における1階調の電位差よりも大きくすることができる。

【0105】従って、本発明のテスト方法で1階調ごとにA/D変換器のテストを行う場合には、通常動作時と同じ条件で1階調ごとにA/D変換器のテストを行う場合に比べ、テストは低い精度で入力信号を与えれば足りる。つまり、本発明のテスト方法によれば、テストは、従来より低い精度を有していればよい。

【0106】これにより、入力信号にノイズが発生し易い環境においても、また、電圧源の精度がそれほどよくない安価なアナログ専用テストで用いても、正確にA/D変換器をテストし得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるA/D変換器を示す回路図。

【図2】図1のA/D変換器のテスト時のようすを示す図。

【図3】本発明の第2の実施例に係わるA/D変換器を示す回路図。

【図4】図3のA/D変換器のテスト時のようすを示す図。

【図5】本発明の第3の実施例に係わるA/D変換器を示す回路図。

【図6】図5のA/D変換器のテスト時のようすを示す図。

【図7】本発明の第4の実施例に係わるA/D変換器を示す回路図。

【図8】本発明の第5の実施例に係わるA/D変換器を示す回路図。

【図9】従来のA/D変換器を示す回路図。

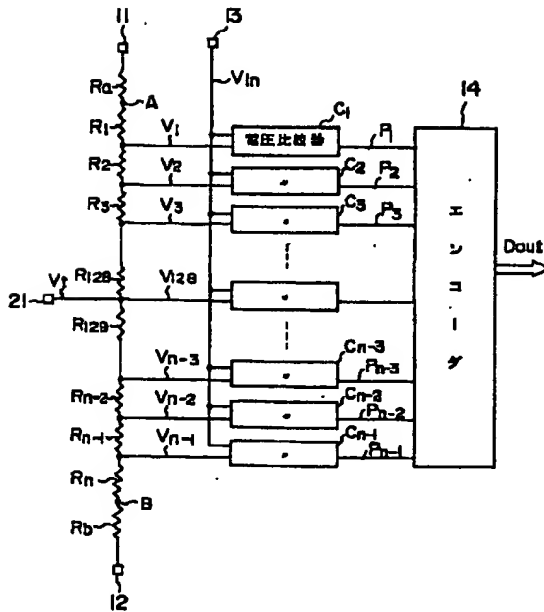
【符号の説明】

11, 12	…電源端子、
13	…入力端子、
14, 14a, 14b	…エンコーダ、
15	…テスト、
16	…IC、
17	…出力端子、
21, 21a, 21b	…テスト端子、
22a, 22b, 22-a, 22-b, 22-1~22	

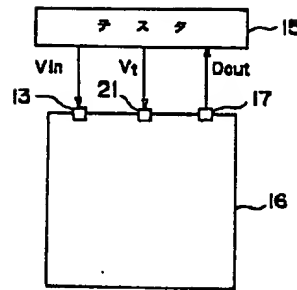
n ...スイッチ、
 23 ...制御回路、
 24 ...テスト端子、

$R_a, R_b, R_1 \sim R_n, R_1' \sim R_k'$...抵抗、
 $C_1 \sim C_{n-1}, C_{11} \sim C_1(n-1), C_{21} \sim C_{2(k-1)}$...電圧比較器。

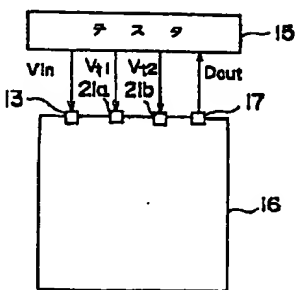
【図1】



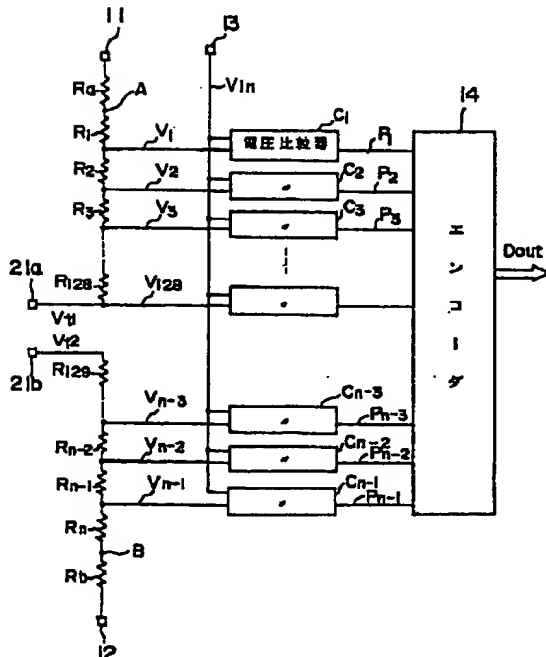
【図2】



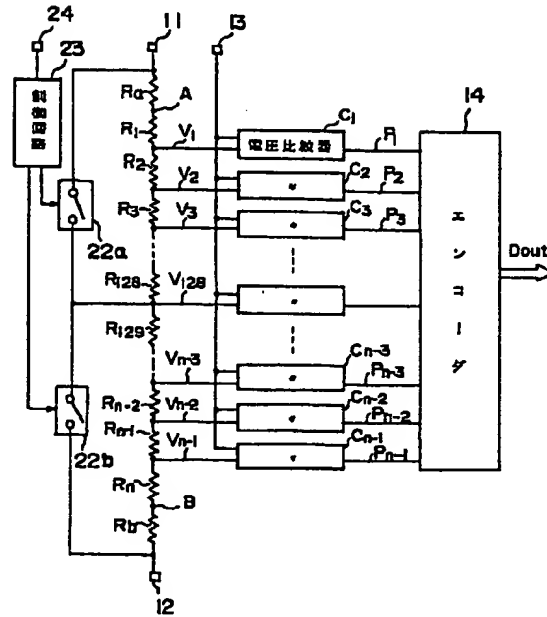
【図4】



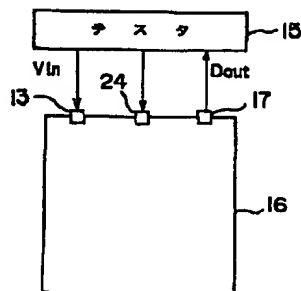
【図3】



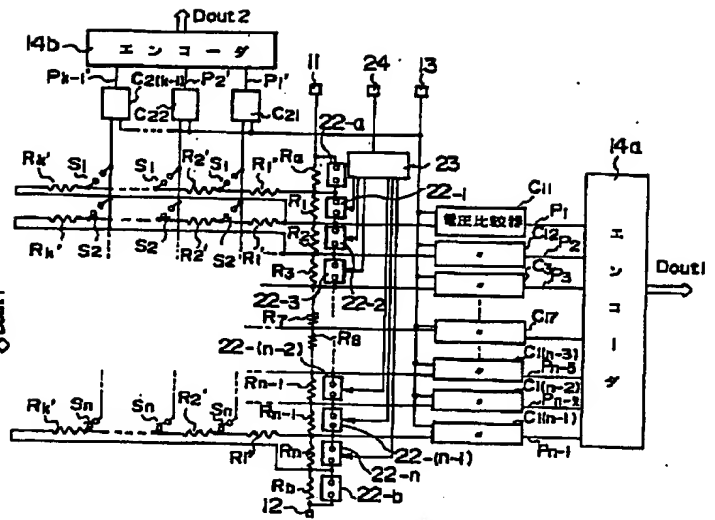
【図5】



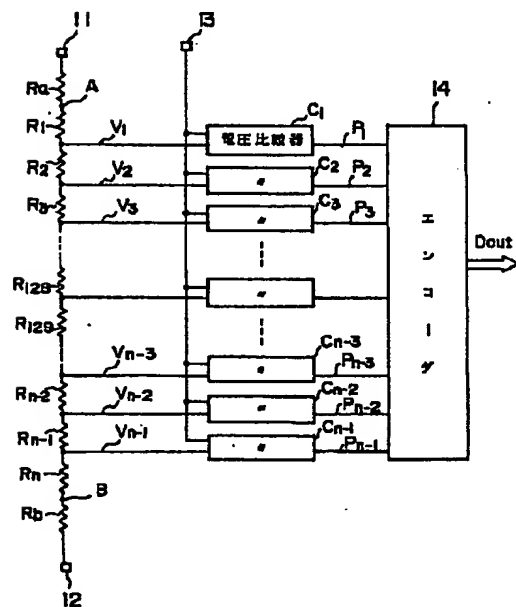
【図6】



【圖 8】



【図9】



技術表示箇所

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成13年4月20日(2001.4.20)

【公開番号】特開平7-326970

【公開日】平成7年12月12日(1995.12.12)

【年通号数】公開特許公報7-3270

【出願番号】特願平6-119383

【国際特許分類第7版】

H03M 1/10

G01R 31/316

31/28

H03M 1/36

【F1】

H03M 1/10 C

1/36

G01R 31/28 C

V

【手続補正書】

【提出日】平成11年11月26日(1999.11.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基準電圧を分圧する複数の抵抗と、前記複数の抵抗の各接続点における電位とアナログ信号の電位とを比較し、その比較結果を用いて前記アナログ信号をデジタル信号に変換する手段と、

テスト時において、テスト手段から与えられる電位を前記複数の抵抗の各接続点のうちの少なくとも1つに印加する手段と

を具備することを特徴とするA/D変換器。

【請求項2】 基準電圧を分圧する複数の抵抗と、前記複数の抵抗の各接続点における電位とアナログ信号の電位とを比較し、その比較結果を用いて前記アナログ信号をデジタル信号に変換する第1手段と、

テスト時において、テスト手段から与えられる信号に基づいて前記複数の抵抗の一部を短絡させる第2手段とを具備することを特徴とするA/D変換器。

【請求項3】 前記複数の抵抗は、第1電位を供給する第1端子と第2電位を供給する第2端子との間に直列接続され、

前記第2手段は、前記第1端子と前記複数の抵抗の各接続点のうちの1つを短絡させるスイッチと、前記第2端子と前記複数の抵抗の各接続点のうちの1つを短絡させるスイッチとを有することを特徴とする請求項2に記載

のA/D変換器。

【請求項4】 基準電圧を分圧する複数の抵抗の各接続点のうちの少なくとも1つにテスト端子を接続し、テスト時においては、テスト手段により発生した所定電位を前記テスト端子に与えながらテストを行い、通常動作時においては、前記テスト端子を解放した状態で動作を行う

ことを特徴とするA/D変換器のテスト方法。

【請求項5】 基準電圧を分圧する複数の抵抗の各接続点のうちの少なくとも1つを分断し、その分断された接続点における各端部にそれぞれテスト端子を接続し、テスト時においては、テスト手段により発生した所定電位を各テスト端子に与えながらテストを行い、通常動作時においては、分断された接続点における各テスト端子を互いに接続して動作を行う

ことを特徴とするA/D変換器のテスト方法。

【請求項6】 基準電圧を分圧する複数の抵抗の一部をテスト手段から与えられる信号により短絡させる短絡手段を設け、

テスト時においては、前記短絡手段により前記複数の抵抗の一部を短絡させた状態でテストを行い、通常動作時においては、前記複数の抵抗の一部の短絡を解除して動作を行う

ことを特徴とするA/D変換器のテスト方法。

【請求項7】 第1電位を供給する第1電源端子と、第2電位を供給する第2電源端子と、アナログ信号を供給する入力端子と、

互いに直列接続されることにより第1列を構成し、かつ、前記第1列の一端が前記第1電源端子に接続されることにより各接続点がそれぞれ異なる電位に設定される

複数の第1抵抗と、
互いに直列接続されることにより第2列を構成し、かつ、
前記第2列の一端が前記第2電源端子に接続される
ことにより各接続点がそれぞれ異なる電位に設定される
複数の第2抵抗と、
前記複数の第1抵抗及び前記複数の第2抵抗の各接続点
にそれぞれ接続され、かつ、前記アナログ信号の電位と
前記複数の第1抵抗及び前記複数の第2抵抗の各接続点
の電位とを比較し、前記複数の第1抵抗及び前記複数の
第2抵抗の各接続点に対応する複数の出力信号を出力す
る複数の比較器と、
前記複数の出力信号をデジタル信号に変換するエンコー
ダと、
前記複数の第1抵抗からなる前記第1列の他端に接続さ
れ、前記複数の第1抵抗からなる前記第1列の他端に第
3電位を供給する第1テスト端子と、
前記複数の第2抵抗からなる前記第2列の他端に接続さ
れ、前記複数の第2抵抗からなる前記第2列の他端に第
4電位を供給する第2テスト端子と
を具備することを特徴とするA/D変換器。
【請求項8】 前記第3電位は、前記第2電位に等し
く、前記第4電位は、前記第1電位に等しいことを特徴
とする請求項7に記載のA/D変換器。
【請求項9】 前記第1及び第2テスト端子は、通常動
作時において互いに電気的に接続されることを特徴とす
る請求項7に記載のA/D変換器。
【請求項10】 第1電位を供給する第1電源端子と、
第2電位を供給する第2電源端子と、
アナログ信号を供給する入力端子と、
前記第1及び第2電源端子の間に互いに直列接続され、
各接続点がそれぞれ異なる電位に設定される複数の抵抗
と、
前記複数の抵抗の各接続点にそれぞれ接続され、かつ、
前記アナログ信号の電位と前記複数の抵抗の各接続点の
電位とを比較し、前記複数の抵抗の各接続点に対応する
複数の出力信号を出力する複数の比較器と、
前記複数の出力信号をデジタル信号に変換するエンコー
ダと、
前記第1電源端子と前記複数の抵抗の接続点のうちの1
つの間に接続され、前記第1電源端子と前記複数の抵抗
の接続点のうちの1つを電気的に接続することにより前
記複数の抵抗の接続点のうちの1つを前記第1電位に設
定する第1スイッチと、
前記第2電源端子と前記複数の抵抗の接続点のうちの1
つの間に接続され、前記第2電源端子と前記複数の抵抗
の接続点のうちの1つを電気的に接続することにより前
記複数の抵抗の接続点のうちの1つを前記第2電位に設
定する第2スイッチと、
テスト信号を供給するテスト端子と、
テスト時において、前記テスト信号に基づいて、前記第

1及び第2スイッチのうちの1つをオン状態にし、前記
複数の抵抗の接続点のうちの1つを前記第1又は第2電
位に設定する制御回路と
を具備することを特徴とするA/D変換器。
【請求項11】 第1電位を供給する第1電源端子と、
第2電位を供給する第2電源端子と、
アナログ信号を供給する入力端子と、
前記第1及び第2電源端子の間に互いに直列接続され、
各接続点がそれぞれ異なる電位に設定される複数の抵抗
と、
前記複数の抵抗の各接続点にそれぞれ接続され、かつ、
前記アナログ信号の電位と前記複数の抵抗の各接続点の
電位とを比較し、前記複数の抵抗の各接続点に対応する
複数の出力信号を出力する複数の比較器と、
前記複数の出力信号をデジタル信号に変換するエンコー
ダと、
前記第1電源端子と前記複数の抵抗の接続点のうちの1
つの間に接続され、前記第1電源端子と前記複数の抵抗
の接続点のうちの1つを電気的に接続することにより前
記複数の抵抗の接続点のうちの1つを前記第1電位に設
定する第1スイッチと、
前記第2電源端子と前記複数の抵抗の接続点のうちの1
つの間に接続され、前記第2電源端子と前記複数の抵抗
の接続点のうちの1つを電気的に接続することにより前
記複数の抵抗の接続点のうちの1つを前記第2電位に設
定する第2スイッチと
を具備し、
通常動作時においては、前記第1及び第2スイッチは、
共に、オフ状態に設定されている
ことを特徴とするA/D変換器。
【請求項12】 前記第1電位は、高レベルの基準電位
であり、前記第2電位は、低レベルの基準電位であるこ
とを特徴とする請求項7又は10又は11に記載のA/
D変換器。
【請求項13】 第1テスト端子と第1電位を供給する
第1電源端子の間に複数の第1抵抗を直列に接続し、
第2テスト端子と第2電位を供給する第2電源端子の間
に複数の第2抵抗を直列に接続し、
テスト時に、前記第1テスト端子に前記第2電位を供給
し、前記複数の第1抵抗のテストを行い、
テスト時に、前記第2テスト端子に前記第1電位を供給
し、前記複数の第2抵抗のテストを行う
ことを特徴とするA/D変換器のテスト方法。
【請求項14】 前記第1及び第2テスト端子は、通常
動作時において互いに電気的に接続されることを特徴と
する請求項13に記載のA/D変換器のテスト方法。
【請求項15】 第1電位を供給する第1電源端子と第
2電位を供給する第2電源端子の間に互いに直列に接続
される複数の抵抗を有するA/D変換器のテスト方法に
おいて、

前記第 1 電源端子と前記複数の抵抗の接続点のうちの 1 つとの間に第 1 スイッチを接続し、

前記第 2 電源端子と前記複数の抵抗の接続点のうちの 1 つとの間に第 2 スイッチを接続し、

テスト時に、前記第 1 スイッチをオフ状態にし、前記第 2 スイッチをオン状態にして、前記第 1 電源端子と前記複数の抵抗の接続点のうちの 1 つとの間に接続される抵抗のテストを行い、

テスト時に、前記第 1 スイッチをオン状態にし、前記第 2 スイッチをオフ状態にして、前記第 2 電源端子と前記複数の抵抗の接続点のうちの 1 つとの間に接続される抵抗のテストを行う

ことを特徴とする A/D 変換器のテスト方法。

【請求項 16】 前記第 1 及び第 2 スイッチは、通常動作時において共にオフ状態に設定されることを特徴とする請求項 15 に記載の A/D 変換器のテスト方法。